



وثيقة توصيف مقرّر درسي

تصميم النظم الرقمية باستخدام (Digital Systems Design Using FPGA)

عنوان المقرّر

3.5 ECTS

عدد وحدات التعلّم

تزويد الطالب بالمعارف المتعلقة ببنية دارات FPGA ومنهجية التصميم الرقمي باستعمال لغة توصيف الكيان الصلب VHDL، بما يساهم لاحقاً في ممارسته لعمله.

غاية المقرّر

مخرجات التعلّم المستهدفة

سيكون الطالب الذي يكمل هذا المقرّر بنجاح قادراً على:

- تعرّف بنية FPGA والوحدات المكوّنة لها.
- معرفة منهجية تصميم الأنظمة الرقمية.
- فهم لغة توصيف الكيان الصلب VHDL.
- تعرّف أداة التصميم البرمجية Quartus.
- توصيف بعض الأنظمة الرقمية كالمرشحات الرقمية وأنظمة معالجة الصورة والصوت.
- تصميم الأنظمة الرقمية من منظور عتادي مختلف عن المنظور البرمجي.
- التعامل مع لغة برمجة متوازية.

محتوى المقرّر

- دارات المنطق القابل للبرمجة: PLA, PAL, FPGA: مقدّمة عن دارات المنطق المبرمج، بنية دارات FPGA.
- لغة توصيف الكيان الصلب VHDL: أساسيات اللغة، توصيف الدارات التراكيبية، توصيف الدارات التعاقبية، توصيف آلة الحالة، توصيف الذواكر، توصيف حلقات إقفال الطور.
- تصميم الأنظمة الرقمية باستخدام VHDL: تصميم أنظمة معالجة الصورة وإظهارها على شاشة VGA، تصميم أنظمة معالجة الصوت، تصميم المرشحات الرقمية.